

パワーエレクトロニクス
第二回 パワー半導体デバイス

2025年4月23日

授業の予定

- パワーエレクトロニクス緒論
- パワーエレクトロニクスにおける基礎理論
- パワー半導体デバイス
- 整流回路
- 整流回路の交流側特性と他励式インバータ
- 交流電力制御とサイクロコンバータ
- 直流チョッパ
- DC-DCコンバータと共振形コンバータ
- 自励式インバータ
- 演習

パワーデバイスの種類と構造

- サイリスタ
- GTO
- バイポーラトランジスタ
- パワーMOSFET
- IGBT

パワー半導体デバイスの変遷

- 回転整流器
 - 電気機械変換

電子化

- 水銀整流器
 - 真空管

半導体化
高信頼化

- Siダイオード
- Siサイリスタ

素子構造
可制御化
半導体プロセス

- 自己消弧素子
(電流制御)
 - GTO
 - GCT

素子構造
半導体プロセス
高性能化

- 電圧制御素子
 - MOSFET
 - IGBT

半導体材料

- ワイドバンド
ギャップ素子
 - SiC
 - GaN, Ga₂O₃
 - ダイヤモンド……

パワー半導体デバイスの分類 分け方その①

• バイポーラ系

- 少数キャリアで導電
 - N形半導体に注入された正孔
 - P形半導体に注入された電子
- 代表的デバイス
 - PNダイオード
 - トランジスタ
 - NPN,PNP,IGBT含
 - サイリスタ
 - GTO,GCT含

• ユニポーラ系

- 多数キャリアで導電
 - N形半導体の電子
 - P形半導体の正孔
- 代表的デバイス
 - ショットキーバリアダイオード
 - FET
 - MOSFET
 - JFET

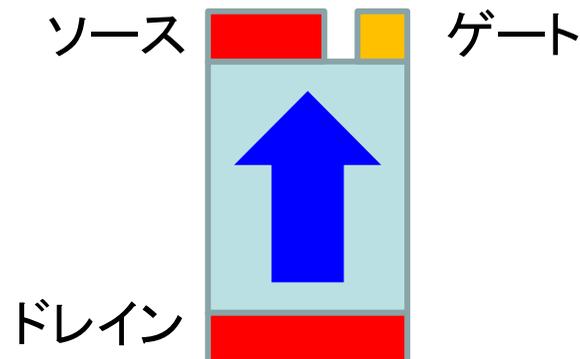
パワー半導体デバイスの分類 分け方その②

- 自然消弧素子
 - ターンオフ
 - 非可制御
 - 外的要因により決まる
 - ターンオン動作
 - 非可制御
 - ダイオード
 - 可制御
 - サリスタ, トライアック
- 自己消弧素子
 - ゲート駆動
 - ターンオン
 - ターンオフ
 - ゲート駆動方式
 - 電流制御型
 - バイポーラトランジスタ
 - GTO, GCT
 - 電圧制御型
 - MOSFET
 - IGBT

パワー半導体デバイスの分類 分け方その③

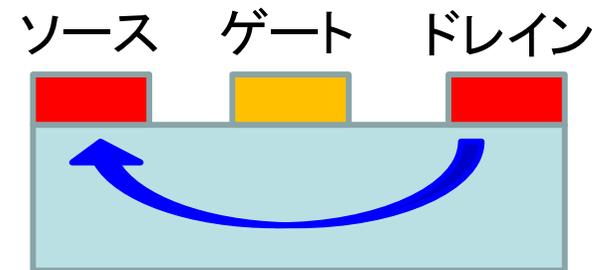
縦型デバイス

- 電流と熱流の方向が一致
- 放熱が容易
- 熱伝導率の差による影響も小
- 高耐圧化が容易



横型デバイス

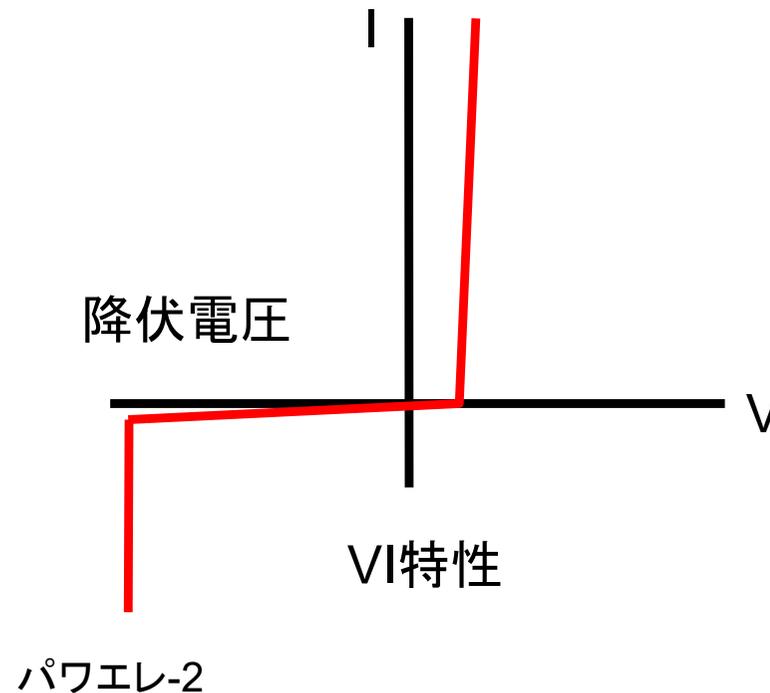
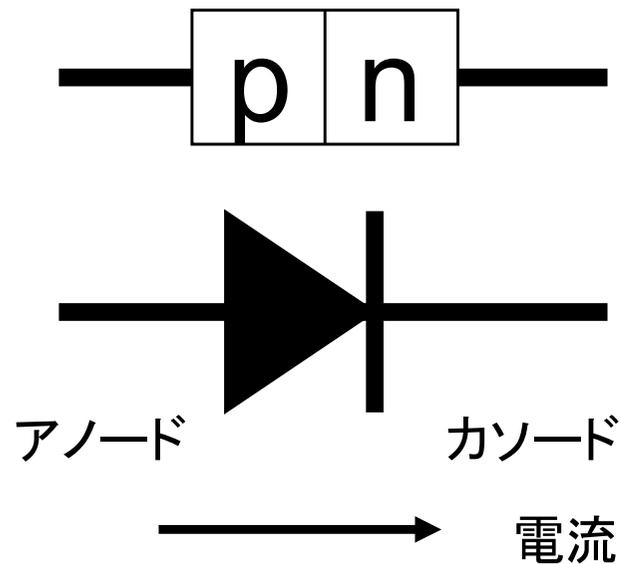
- ゲート駆動回路, 保護回路等との集積化が可能



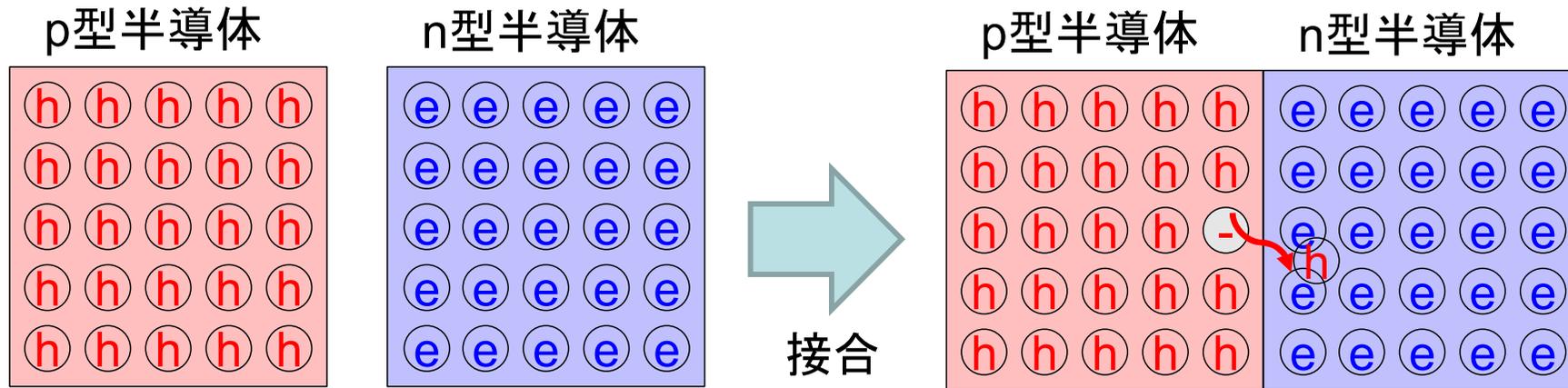
縦型・横型両方製造できる事が、アプリケーション展開に重要

pn接合ダイオード

- p形半導体とn形半導体を接合した2端子素子
 - 点接触形, 接合形などがある
 - 整流, 検波に用いる



pn接合の動作



分離された状態

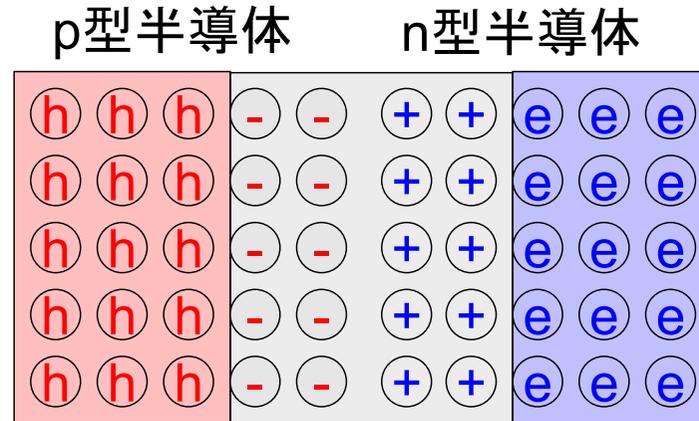
Ⓜ 正孔, 濃度 N_A Ⓜ 電子, 濃度 N_D

$$N_A > N_D$$

接合された状態
(接合された直後)

不純物濃度の濃いp型半導体の正孔が、
不純物濃度の低いn型半導体に拡散
正孔がなくなった不純物(アクセプタ)は負の固定電荷となる
n型半導体に拡散した正孔は電子と再結合する
電子がなくなった不純物(ドナー)は正の固定電荷となる

pn接合の動作



接合された定常状態

—————> 空間電荷による電界

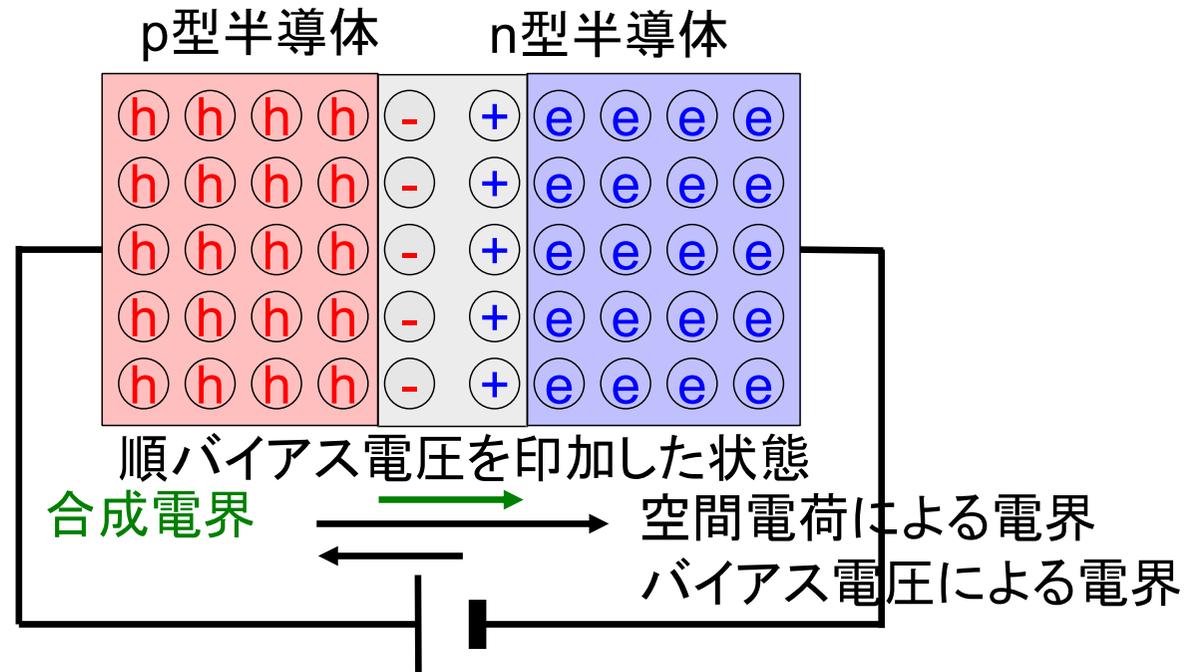
接合界面付近に正負の電荷の層(空乏層,空間電荷層)が形成される

正の電荷から負の電荷に向かって電界が発生

生じた電界が拡散を妨げる

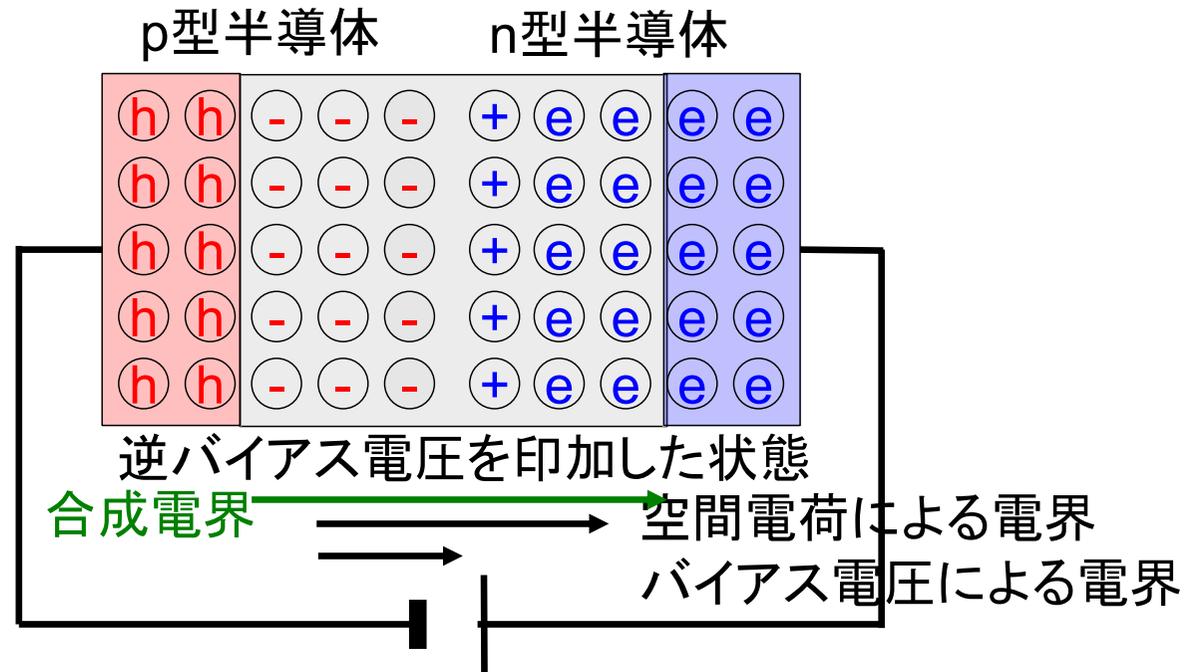
拡散電位, ビルトインポテンシャル:空乏層の端から端までの電界による電位差

pn接合の動作



p型半導体に正，n型半導体に負となる極性で外部から順バイアス電圧を印加
バイアス電圧による電界が空間電荷による電界を弱める
正孔がp型層からn型層に拡散，電子がn型層からp型層に拡散し拡散電流となる
電界により正孔，電子が運ばれドリフト電流となる

pn接合の動作



p型半導体に負, n型半導体に正となる極性で外部から逆バイアス電圧を印加
バイアス電圧による電界が空間電荷による電界を強める
正孔と電子の拡散が抑制され, 遮断状態となる

キャリアの輸送メカニズム

- 半導体を流れる電流
 - ドリフト電流と拡散電流の和
 - ドリフト電流
 - 電界によりキャリアが運ばれる
 - 拡散電流
 - キャリアの濃度勾配が平衡するよう拡散する
 - ドリフト現象と拡散現象の関係
 - アインシュタインの関係

ドリフト電流

- n型半導体中の電子電流密度 J_e
 - $J_e = qnv = qn\mu_e E$
- p型半導体中の正孔電流密度 J_h
 - $J_h = qp v = qp\mu_h E$
 - q :単位電荷, v :キャリアの速度, n :電子密度, μ_e :電子移動度, p :正孔密度, μ_h :正孔移動度, E :電界強度
 - 低電界において $v = \mu E$ が成り立つ
 - 高電界下では速度飽和が発生 $v \neq \mu E$

拡散電流

- 真性半導体

- 電子密度 n と正孔密度 p が等しい

- $p = n$

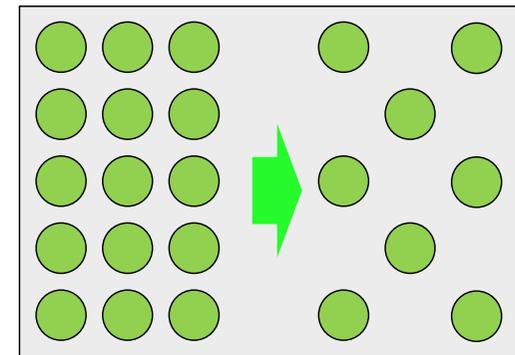
- 真性キャリア密度 n_i

- $n_i^2 = pn \sim 10^{10} \text{cm}^{-3}$

- 不純物半導体

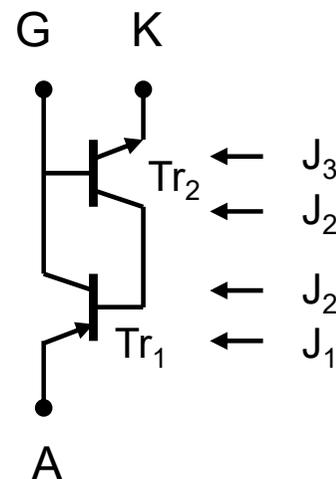
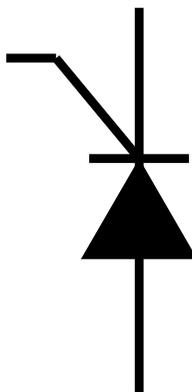
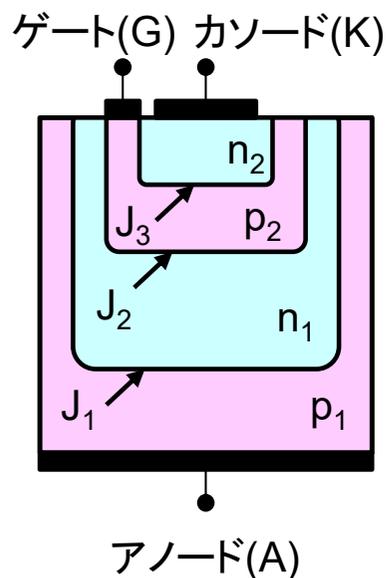
- $p, n \sim 10^{16 \sim 20} \text{cm}^{-3}$

- 密度が高いほうから低いほうへキャリアが拡散



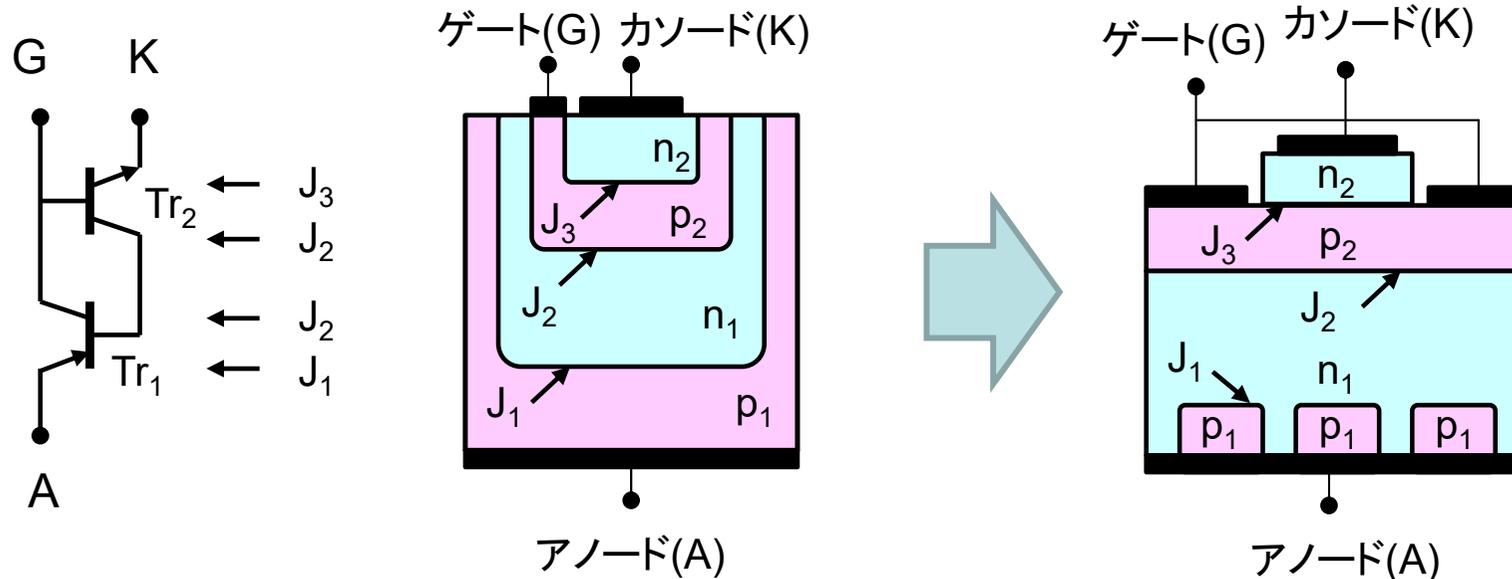
高密度 拡散 低密度

サイリスタ



- ターンオン
 - 接合J₃を順バイアス
 - 注入された電子が、高電界のかかっているJ₂で加速、なだれ破壊
 - 光直接点弧有
- ターンオフ
 - AK間電圧を小さくする、電圧の極性を反転
 - J₁, J₃逆バイアス

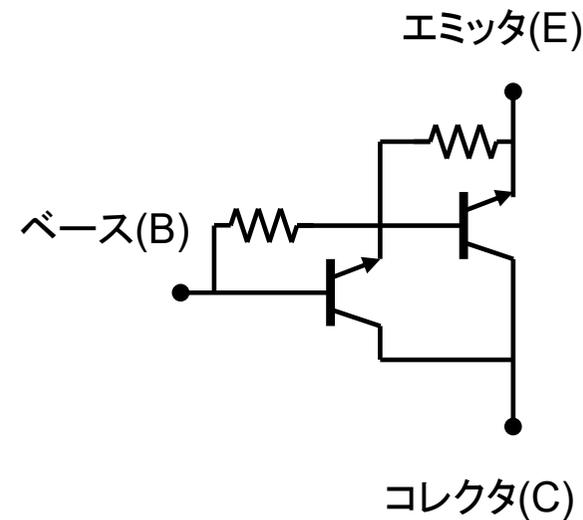
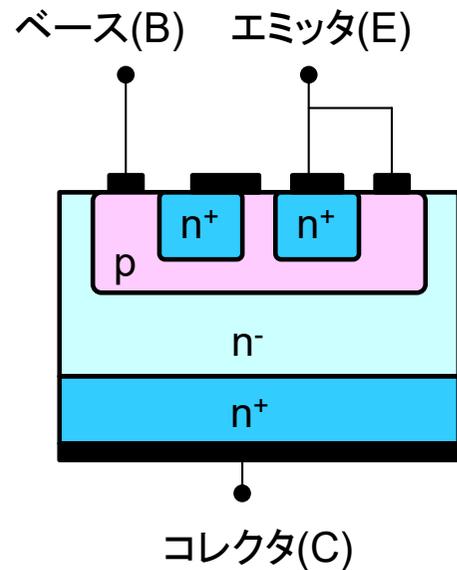
GTO



- GTOサイリスタ

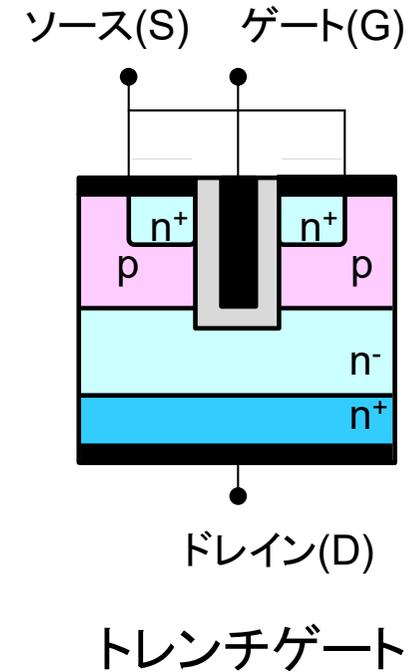
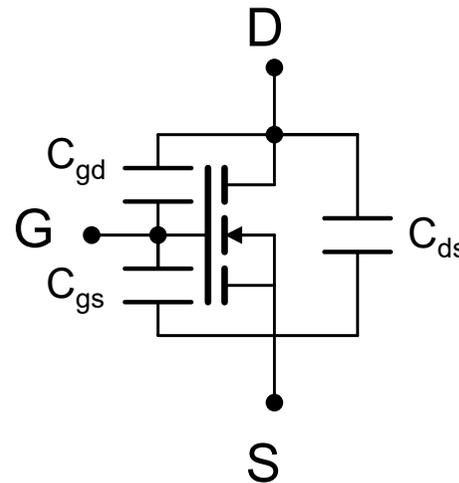
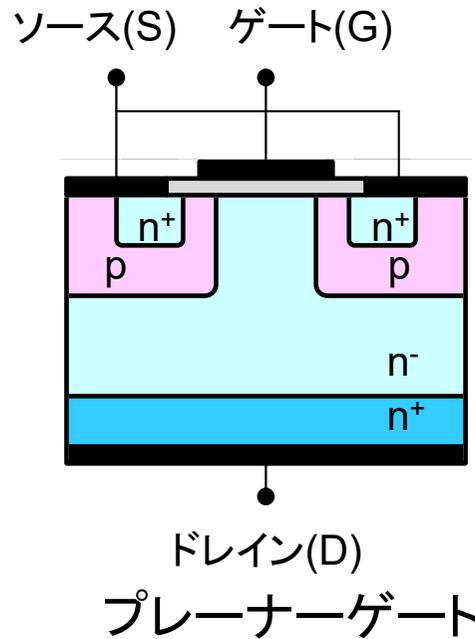
- アノードは短絡エミッタ構造
 - 阻止状態で、急峻な電圧変化によるターンオンを防ぐ
- オン時は J_2 近傍にキャリアが蓄積
- ターンオフ時に J_2 のキャリアを引き抜く
 - 微細GTOの集合

パワーバイポーラトランジスタ



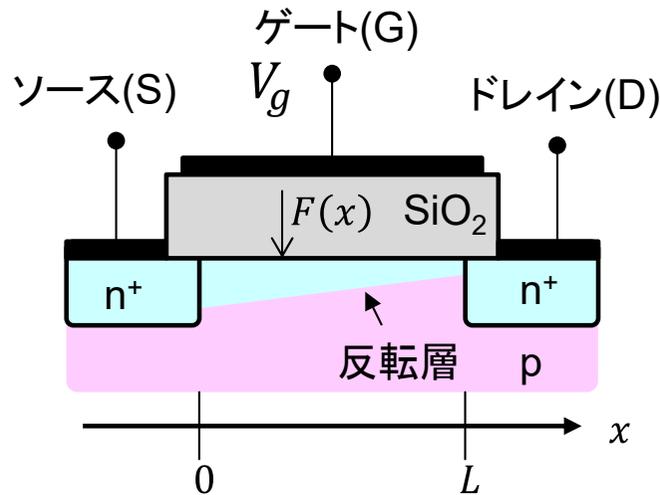
- パワー用として耐圧, 電流容量, 放熱を向上
 - コレクタ領域不純物濃度を下げ耐圧向上
 - N^+ 層を作りできるだけ低抵抗化
- ダーリントン接続構造

パワーMOSFET



- 熱暴走しない(バイポーラトランジスタとの比較)
- 短チャネル化で抵抗抑制
 - V-shaped grooved MOSFET
 - 二重拡散(double diffused) MOSFET 電流横向き
 - 縦型(vertical DMOSFET) 電流縦向き, 基板全体使用, 大電流化
- 寄生(ボディ)ダイオード有

パワーMOSFETの動作



L :チャンネル長, W :チャンネル幅, d :酸化膜厚, ϵ :誘電率, μ :移動度
 $F(x)$:酸化膜内電界, $V(x)$:界面電位, $Q(x)$:誘起電荷(単位面積当たり)

ガウスの法則
$$F(x) = \frac{Q(x)}{\epsilon} = \frac{V_g - V(x)}{d}$$

チャンネル電流 (ドリフト)
$$I_d = Q(x)\mu \frac{dV(x)}{dx} W = \frac{\mu W \epsilon}{d} \{V_g - V(x)\} \frac{dV(x)}{dx}$$

パワーMOSFETの動作

- 電流連続の条件(I_d は任意の x で一定)

- $\int_0^L I_d dx = I_d L$

- $$\int_0^L I_d dx = \int_0^L \frac{\mu W \varepsilon}{d} \{V_g - V(x)\} \frac{dV(x)}{dx} dx$$
$$= \frac{\mu W \varepsilon}{d} \int_0^{V_d} \{V_g - V(x)\} dV(x)$$

- $V(0) = 0, V(L) = V_d$

- $$I_d = \frac{\mu W \varepsilon}{L d} V_d \left(V_g - \frac{V_d}{2} \right) = \frac{\mu W C_g}{L} V_d \left(V_g - \frac{V_d}{2} \right)$$

- C_g : 単位面積当たり絶縁層静電容量

パワーMOSFETの動作

- V_{th} :ゲート閾値電圧を考慮

- $I_d = \frac{\mu W C_g}{L} V_d \left(V_g - V_{th} - \frac{V_d}{2} \right)$

- ピンチオフ条件(線形→飽和)

- $\frac{dI_d}{dV_d} = 0$

- $\frac{dI_d}{dV_d} = \frac{\mu W C_g}{L} \left\{ \left(V_g - V_{th} - \frac{V_d}{2} \right) - \frac{V_d}{2} \right\} = 0$

- $V_d = V_g - V_{th}$

- I_d^{sat} :飽和電流

- $I_d^{sat} = \frac{\mu W C_g}{2L} (V_g - V_{th})^2$

パワーMOSFETの動作

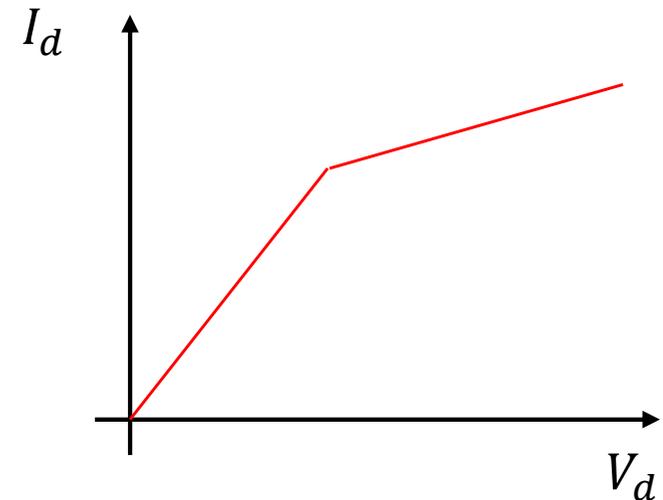
- V_{th} :ゲート閾値電圧

- 線形領域

- $$I_d = \frac{\mu W C_g}{L} V_d \left(V_g - V_{th} - \frac{V_d}{2} \right)$$

- I_d^{sat} :飽和電流

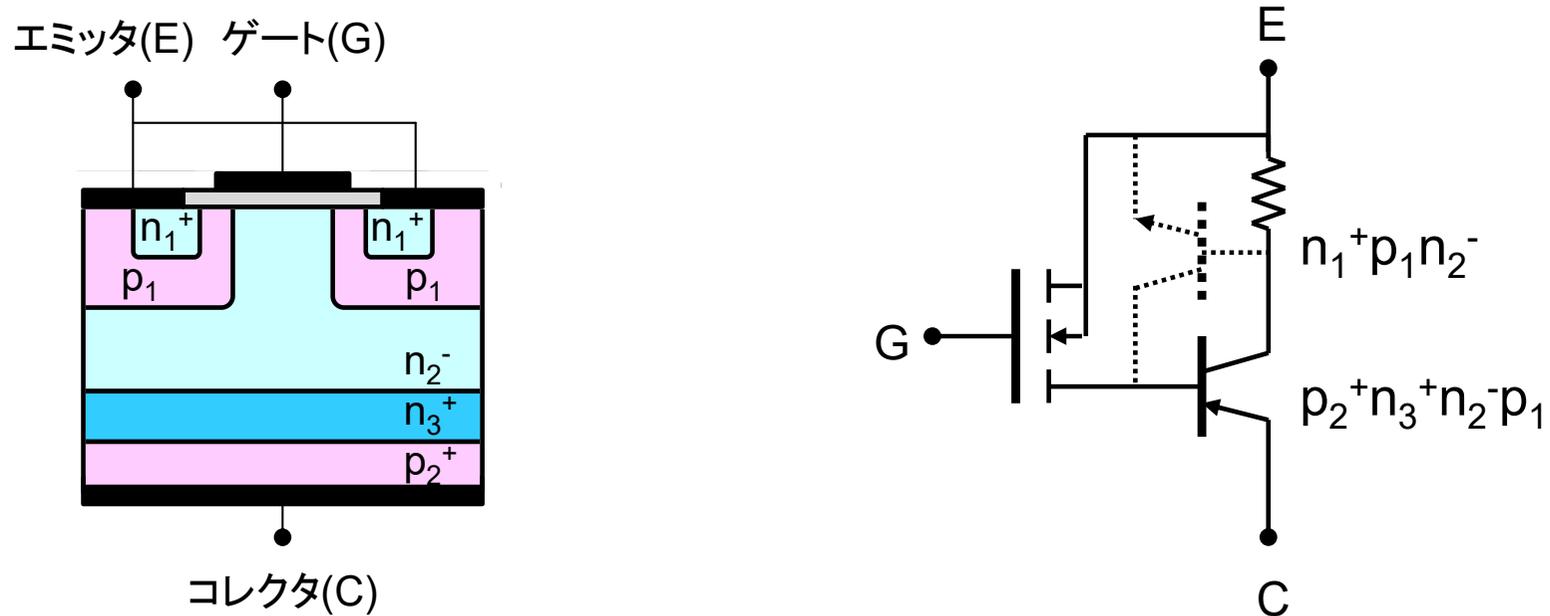
- $$I_d^{sat} = \frac{\mu W C_g}{2L} (V_g - V_{th})^2$$



パワーMOSFETの動作

- $g_m = \frac{dI_d}{dV_g}$: 相互コンダクタンス
 - 線形領域 $g_m = \frac{\mu W C_g}{L} V_d$
 - 飽和領域 $g_m = \frac{\mu W C_g}{L} (V_g - V_{th})$
- パワエレでは線形領域(導通)と遮断領域を主として使用

IGBT



- VDMOSFETのドレイン n^+ と、ドレインの金属電極間に p^+ 領域を形成
- NチャネルMOSFETがバイポーラトランジスタ $p_2^+(n_3^+n_2^-)p_1$ をオン
 - 少数キャリア注入による抵抗低減
- $p_2^+(n_3^+n_2^-)p_1n_1^+$ に寄生サイリスタ構造を持つ
 - ラッチアップ動作 危険
- 寄生(ボディ)ダイオード無